

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hideaki Kuwabara et al.                      Art Unit : Unknown  
Serial No. : New Application                              Examiner : Unknown  
Filed : December 16, 2003  
Title : SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE  
SAME

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicants hereby confirms their claim of priority under 35 USC §119 from the following application:

**Japan Application No. 2002-377816 filed December 26, 2002**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 16, 2003

  
\_\_\_\_\_  
John F. Hayden  
Reg. No. 37,640

**Customer No. 26171**  
Fish & Richardson P.C.  
1425 K Street, N.W., 11th Floor  
Washington, DC 20005-3500  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月26日  
Date of Application:

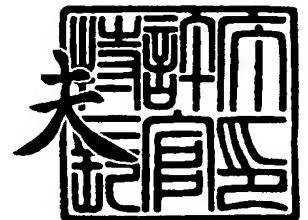
出願番号 特願2002-377816  
Application Number:  
[ST. 10/C]: [JP 2002-377816]

出願人 株式会社半導体エネルギー研究所  
Applicant(s):

2003年10月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3088996

【書類名】 特許願

【整理番号】 P006847

【提出日】 平成14年12月26日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 桑原 秀明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 丸山 純矢

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 大野 由美子

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高山 徹

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 後藤 裕吾

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 新川 悦子

## 【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

## 【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

## 【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

基板上に形成された半導体膜を用いて作製された集積回路を、前記基板から分離することにより作製したフィルム状の集積回路を実装した半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、前記半導体膜の膜厚は  $30 \sim 60 \text{ nm}$  であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体装置において、前記フィルム状の集積回路に接するように  $10 \text{ W/m} \cdot \text{K}$  以上の熱伝導率を有する膜が設けられていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかひとつに記載の半導体装置において、前記フィルム状の集積回路には、突起電極を介して配線基板と電氣的に接続していることを特徴とする半導体装置。

【請求項 5】

請求項 4 に記載の半導体装置において、前記配線基板は前記フィルム状の集積回路を複数個有することを特徴とする半導体装置。

【請求項 6】

島状に分離した複数の半導体層を有する集積回路フィルムを実装した半導体装置において、前記半導体層の膜厚は  $30 \sim 60 \text{ nm}$  であることを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、前記集積回路フィルムに接するように  $10 \text{ W/m} \cdot \text{K}$  以上の熱伝導率を有する膜が設けられていることを特徴とする半導体装置。

【請求項 8】

請求項 6 または請求項 7 に記載の半導体装置において、前記集積回路フィルムは、突起電極を介して配線基板と電氣的に接続していることを特徴とする半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、前記配線基板は前記集積回路フィルムを複数個有することを特徴とする半導体装置。

【請求項 10】

請求項 6 乃至請求項 9 のいずれかひとつに記載の半導体装置において、前記集積回路フィルムは、多角形であることを特徴とする半導体装置。

【請求項 11】

第 1 の基板に結晶質半導体膜を形成する工程と、  
前記結晶質半導体膜を用いた素子と、前記素子に電氣的信号を伝達する配線と、絶縁膜とからなる素子層を形成する工程と、  
前記素子層を前記第 1 の基板から前記第 2 の基板に転写する工程と、  
前記素子層をシートに転写する工程と、  
前記素子と、前記素子層を分断して集積回路フィルムを作製する工程とを有することを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 11 に記載の半導体装置の作製方法において、前記素子層を形成後、第 2 の基板への転写前に、前記配線に電氣的信号を伝達するための突起電極を形成する工程を有することを特徴とする半導体装置の作製方法。

【請求項 13】

請求項 12 または請求項 7 に記載の半導体装置の作製方法において、第 2 の基板に転写後、前記素子層の上に  $10\text{ W/m}\cdot\text{K}$  以上の熱伝導率を有する膜を形成する工程を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体実装技術に関し、特に転写技術を用いて作製した集積回路フ

イルムを実装した半導体装置およびその作製方法に関する。

【0002】

【従来の技術】

半導体チップを実装して形成される半導体装置の小型化、薄型化にとって、半導体チップの薄型化は益々必要とされる技術である。

【0003】

通常、半導体実装技術においては、半導体素子が形成されたシリコンウェーハの裏面（つまり、素子として機能していない半導体層の一部）を研削（バックグラインド）し、数百 $\mu\text{m}$ の厚さにまで薄く加工する。

【0004】

しかしながら、シリコンウェーハ上に形成された絶縁膜や配線などの応力からの影響により、薄く加工したシリコンウェーハは反りを生じる等の問題がある。このような、シリコンウェーハの反りはダイシング等を困難にする等の問題を生じるため、半導体チップのさらなる薄型化への障害となっている。

【0005】

このため、シリコンウェーハの裏面研削工程において貼り付ける保護シートの貼り付け方法を工夫し、シリコンウェーハの反りを抑制するなどの対策がなされている（例えば、特許文献1参照）。

【0006】

【特許文献1】

特開2000-61785号公報（第2-4頁、第1図）

【0007】

この他、裏面研削の際、ウェーハの裏面に形成されるキズなども、半導体チップの薄型化への障害となる。

【0008】

従って、上記のような問題を解決するために、シリコンウェーハの裏面加工に頼らずに薄型化が実現できる、新たな半導体実装技術の開発が求められる。

【0009】

【発明が解決しようとする課題】

上記のような問題を鑑み、本発明では、転写技術を用いて作製した集積回路フィルムを実装した半導体装置およびその作製方法について提供することを課題とする。

#### 【0010】

##### 【課題を解決するための手段】

本発明の半導体装置は、転写技術を用いて作製した集積回路フィルムを実装していることを特徴としている。

#### 【0011】

ここで、集積回路フィルムとは、基板上に形成された半導体膜を用いて作製された集積回路を、基板から分離することにより作製したフィルム状の集積回路をいう。前記基板としてはガラス基板や石英基板などを用いることができる。また集積回路を基板から分離する方法は、転写技術や、前記基板のみを選択的にエッチングする技術等を用いることが可能である。

#### 【0012】

なお、本発明の半導体装置に実装された集積回路フィルムは、島状に分離した複数個の素子を有するものであり、各々の素子を構成する半導体層は30nm～60nmの厚さで形成されている。また、複数の素子で構成された集積回路は、論理回路、メモリ等の機能を有するものである。

#### 【0013】

従来より用いられている半導体チップの厚さは、主に半導体層の厚さに依存して決まる。転写技術を用いることで作製した集積回路フィルムは、膜厚30～60nmの半導体層を有するフィルムであり、半導体チップと比較して飛躍的に薄い。

#### 【0014】

また、本発明の半導体装置に実装された集積回路フィルムにおいて、各々の素子を構成する半導体層の膜面は複数の面方位を有している。

#### 【0015】

なお、前述のような30～60nmの半導体層を有する集積回路フィルムの厚さは、主に配線および層間絶縁膜の積層数に依存して決まる。



## 【0016】

また、本発明の半導体装置は、集積回路フィルムに接する、熱伝導率が $10\text{ W/m}\cdot\text{K}$ 以上の膜を有することを特徴としている。

## 【0017】

上記のような熱伝導性のよい膜を設けることにより、集積回路フィルムにおいて発生する熱が放散されやすくなる。

## 【0018】

本発明の半導体装置は、集積回路フィルムと配線基板とが突起電極を介して電氣的に接続していることを特徴としている。

## 【0019】

なお、前記配線基板はポリイミド等の絶縁体と、銅等の導電体とを用いて形成される。当該基板は硬質または可撓性を有するもののいずれでもよい。絶縁体としては、ポリイミド、ガラスエポキシ等の樹脂材料以外にアルミナや窒化アルミナ等のセラミック材料を用いることが可能である。また銅以外に、金等の材料を用いることが可能である。突起電極は厚さ $10\sim 30\text{ }\mu\text{m}$ の半田またはメッキにより形成された導電体である。

## 【0020】

なお、前記基板には、複数個の集積回路フィルムが複数個、横並びに積載されていてもよい。また各々の集積回路フィルムは、CPUやメモリなど機能のことなるものでもよい。

## 【0021】

また本発明において、集積回路フィルムは、多角形で形成されている。これは、本発明の集積回路フィルムが、シリコンウェーハのように劈開面に依存した分断を行う必要がないため可能となる。

## 【0022】

## 【発明の実施の形態】

## (実施の形態1)

本発明の実施の形態について、図1(A)～(C)を用いて説明する。本発明では、転写技術を用いて作製した集積回路フィルムを実装した半導体装置につい

て説明する。

#### 【0023】

図1 (A)において、集積回路フィルム12と基板13とは突起電極（バンプ）15を介して電氣的に接続している。集積回路フィルム12は、ガラス基板上に形成したTFTおよびTFTを駆動するための配線などを含めた層を、転写技術を用いて剥離し剥離し形成されたものである。つまり、シリコンウェーハのように裏面研削工程を用いることなく薄型化された集積回路フィルムである。基板13はポリイミド膜に銅などの導電性材料を配線した多層配線基板である。

#### 【0024】

本実施の形態の半導体装置は、集積回路フィルム12と基板13とが、集積回路フィルムに形成されているスタガ型のTFTの上側が（つまり、半導体層を中心としてゲート電極側が）、基板13と向かい合うように設けられている、フェイスダウン構造である。

#### 【0025】

集積回路フィルム12には、多結晶珪素膜を島状に分離した半導体層からなるTFTが複数個形成されている。

#### 【0026】

図1 (B)は、集積回路フィルム12の一部の断面図である。絶縁膜23の上にNチャネル型TFT21とPチャネル型TFT22が形成されている。なおTFT21、22の半導体層は30～60nmの膜厚である。TFT21、22を覆う絶縁膜31の上には、TFT21、22に電氣的信号を伝達するための配線35が形成されている。また、配線35と同じ層に電極33が形成されている。TFT21、22および配線35等を保護するための保護膜34の開口部から電極33が露出している。配線35は1%の珪素を含有するアルミニウム、層間絶縁膜31は酸化珪素等の250℃以上の耐熱性を有する膜から形成されている。なお、集積回路フィルム12はガラス基板上に形成したTFT層を転写技術を用いて剥離したものであり、厚さは約1～10μmである。なお、TFT層とは、TFTの他、配線や絶縁層等を含むものをいう。

#### 【0027】

集積回路フィルム 12 のうち、電極 33 とは反対の絶縁膜 23 が設けられている側には、熱伝導性の良い材料からできた膜 16 が形成されている。膜 16 を設けることにより、集積回路フィルム 12 内における発熱を放散することができる。膜 16 としては、約  $10\text{ W/m}\cdot\text{K}$  以上の熱伝導性を有するような金属材料（例えば、アルミニウム等）、若しくは、カーボンやアルミニウムを主成分としたセラミック材料（例えば、DL C (Diamond like Carbon) やアルミナ、窒化アルミ等カーボン等）等を用いればよい。

#### 【0028】

図 1 (C) は、図 1 (A) に示した集積回路フィルム 12 と基板 13 との接続部（点線 11 で囲まれた部分）における断面図である。電極 33 の上には導電膜 42、43 が積層して形成されており、導電膜 43 の上に突起電極 15 が形成されている。また、集積回路フィルム 12 と基板 13 とは接着剤を用いて貼り合わされている。電極 41 と突起電極 15 とは接着剤中の金属粒子を介して電氣的に接続している。なお、接着剤以外に導電性ペースト等を用いて電極 41 と突起電極 15 とを電氣的に接続させてもよい。

#### 【0029】

上記のように、TF T で形成された厚さ数  $\mu\text{m}$  の集積回路フィルムを実装することで、飛躍的に薄型化した半導体装置を作製することができる。

#### 【0030】

なお、本実施の形態においては、TF T が形成された集積回路フィルムを用いているが、これ以外にもガラス基板或いは石英上等に形成した結晶質半導体膜を用いてメモリ等を形成したものを集積回路フィルムとした半導体装置を形成してもよい。

#### 【0031】

##### 【実施例】

##### （実施例 1）

本実施例においては、転写技術を用いて作製した集積回路フィルムを実装した半導体装置の作製方法について図 2 ～ 5 を用いて説明する。

#### 【0032】

本実施例において作製した集積回路フィルムの厚さは数 $\mu$ mであり、従来の半導体チップと比較して飛躍的に薄型化している。従って、当該集積回路フィルムを実装した半導体装置も飛躍的に薄型化する。また、シリコンウェーハで作製した集積回路フィルムとは異なり、劈開面を考慮した切断を行う必要がないため、様々な形状に切り出すことができる。基板の一辺とほぼ同じ寸法で切り出すことも可能である。さらに、シリコンウェーハと異なり、半導体層が各々島状に分離して形成されている。このため、TFTにかかる応力が分散され、曲げなどのストレスに対する強度がシリコンウェーハで作製した集積回路フィルムよりも強く、実装時や実装後の半導体装置においても曲げなどの外的ストレスに強い。また、半導体装置の作製工程においても、裏面研削による薄型化を行う必要がないため、裏面研削工程において発生する不良を回避できる。また、裏面研削工程を要しないため、TFT形成工程と突起電極（バンプ）形成工程とを連続して行うことができる。

#### 【0033】

まず、ガラスからなる第1の基板700上にTFTを形成する。TFT形成は以下のようにして行う。

#### 【0034】

第1の基板700の上に絶縁膜701を形成する。本実施例では、絶縁膜701として酸化窒化珪素膜（SiON）を膜厚100nmで成膜して形成した。成膜はPCVD法を用いて行った。

#### 【0035】

絶縁膜701の上に金属702を形成する。本実施例においては、金属膜702としてタングステン（W）をスパッタ法で膜厚50nmで成膜して形成した。成膜はスパッタ法を用いて行った。

#### 【0036】

さらに金属膜702の上に酸化膜703を形成した。本実施例においては、酸化膜703として、酸化珪素を膜厚200nmで成膜して形成した。成膜はスパッタ法を用いて行った。また、金属膜702と酸化膜703の形成は、大気中にさらすことなく、連続して行った。なお、酸化膜703の膜厚は、上記の値に限

らないが、金属膜 702 の膜厚の 2 倍以上の膜厚とすることが好ましい。

#### 【0037】

なお、金属膜 702 と酸化膜 703 を積層形成することで、金属膜 702 と酸化膜 703 との界面に、非晶質の酸化金属膜 704 a が形成される。なお、本実施例においては、金属膜 702 としてタングステン、酸化膜 703 として酸化珪素を用いているため、酸化金属膜 704 a として酸化タングステン ( $WO_x$ ) が膜厚 4 nm で形成される。なお、タングステン (W) 以外に、モリブデン (Mo)、タングステンとモリブデンの合金 ( $W_xMo_{1-x}$ ) 等を用いてもよい。また、金属膜 704 a に酸素を添加し、後の工程における剥離を促進したり、若しくは窒素を添加し、剥離を抑制したりしてもよい。これらの添加の有無、添加量等は、必要に応じて適宜調整すればよい。

#### 【0038】

次に、基板端面に成膜された金属膜 702 と酸化膜 703 を  $O_2$  アッシングで除去する。

#### 【0039】

次に、酸化膜 703 の上に下地絶縁膜 790 を形成する。下地絶縁膜 705 は酸化窒化珪素膜 ( $SiON$ ) を 100 nm の膜厚で成膜して形成する。下地絶縁膜 705 は、後に形成する半導体層中にガラス基板などから不純物が混入するのを阻止するために形成される。

#### 【0040】

次に、結晶質半導体膜 705 を形成する。結晶質半導体膜 705 は非晶質珪素膜を膜厚 54 nm で成膜した後、これを結晶して形成する。なお、非晶質珪素膜の成膜は PCVD 法を用いて行った。また、本実施例において、非晶質珪素膜中には水素が含有されている。

#### 【0041】

本実施例において、上記非晶質珪素膜中には 21.5% (組成比) の水素が含有されている。これは、赤外線分光法 (FT-IR) を用いた定量分析により、上記非晶質珪素膜中の  $Si-H$  が  $1.06 \times 10^{22} \text{ atoms/cm}^3$ 、 $Si-H_2$  が  $8.34 \times 10^{19} \text{ atoms/cm}^3$  の濃度であるという結果より算出して得られた値であ

る。

#### 【0042】

次に上記非晶質珪素膜の表面に触媒金属元素であるNiを添加した後、500℃、1時間の熱処理を行う。さらに連続して550℃、4時間、ファーネスによる熱処理を行い、第1の多結晶珪素膜を形成する。

#### 【0043】

なお、410℃以上の熱処理を施すことにより、非晶質珪素膜中に含有されている水素は拡散する。また、400℃以上の熱処理を施すことにより、非晶質の酸化金属膜704aは結晶化し、結晶質の酸化金属膜704bとなる。また結晶化により、酸化金属膜704bは2nmの膜厚になる。つまり、本実施例では、上述のように410℃以上の温度条件下での熱処理を施すため、水素拡散と酸化金属膜704aの結晶化が同時に行われている。従って、非晶質の酸化タングステンは結晶質の酸化タングステンとなる。なお、本実施例のような第1の多結晶珪素膜を形成する以外の工程において410℃以上の熱処理を施すことも可能である。

#### 【0044】

次に、第1の多結晶珪素膜にエキシマレーザー光を照射して結晶性を向上させた第2の多結晶珪素膜を形成した。

#### 【0045】

次に、オゾン水を用いて第2の結晶質珪素膜表面に1nmの膜厚の薄い酸化膜を形成し、さらにその上に非晶質珪素膜をスパッタ法により100nmの膜厚で形成した。そして、550℃、4時間のファーネスによる熱処理を行い、結晶質珪素膜中に含有されている触媒金属元素を、非晶質珪素膜中へと移動させた（ゲッターリング処理）。ゲッターリング処理後、不要になった非晶質珪素膜（ゲッターリング後は触媒金属元素の効果により結晶質珪素膜となる場合がある）をTMAH溶液を用いて除去し、さらに薄い酸化膜をフッ酸溶液を用いて除去し、結晶質半導体膜705を形成した。

#### 【0046】

なお、上記の結晶質半導体膜705は膜面は、 $\langle 111 \rangle$ 晶帯面に属する複数

の結晶面を有する。

#### 【0047】

なお、実施例のように触媒金属元素としてNiを用いた結晶化以外にも、公知の結晶化方法（固相成長法、レーザー結晶化法等）により結晶質半導体膜705を形成してもよい。

#### 【0048】

レーザー結晶化法で結晶質半導体膜を形成する場合、レーザー媒質としてエキシマ(XeCl)やYAG、YVO<sub>4</sub>を用いたパルス発振型または連続発振型のレーザーを用いることができる。エキシマレーザーを用いる場合はパルス発振周波数を約300Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>とすればよい。また、YAGレーザーを用いる場合は第2高波長を用いてパルス発振周波数を30～300Hzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>とすればよい。発振したレーザー光を幅100～1000μmの線状に集光した線状レーザー光を、重ね合わせ率（オーバーラップ率）50～90%として基板全面に渡って照射する方法を用いてもよい。なお、レーザー結晶化法を用いる場合においても、410℃以上の熱処理を施し、水素拡散および酸化タンゲステンの結晶化を行うことが好ましい。

#### 【0049】

次に、上記のようにして得られた結晶質半導体膜705をパターンニングおよびエッチングにより所望の形状に加工して素子分離した半導体層706a、706bを形成する。

#### 【0050】

なお、半導体膜706を形成する前、もしくは形成した後、TFTの閾値を制御するための不純物添加（チャネルドーピング）を行ってもよい。添加する不純物としては、ボロン又は燐などを用いればよい。

#### 【0051】

次に、半導体層706a、706bの上にゲート絶縁膜707を形成する。さらにゲート絶縁膜707の上にゲート電極708を形成する。ゲート絶縁膜707は酸化珪素膜を30nmの膜厚で成膜して形成する。また、ゲート電極は、窒

化タンタル (TiN) とタングステン (W) をそれぞれ膜厚 30 nm、370 nm で成膜した後、パターンニングおよびエッチングにより加工して形成する。

#### 【0052】

次に、n 型不純物である磷を添加し、n 型の低濃度不純物領域 709 を形成する。さらに、p 型不純物であるボロンを添加し、p 型の低濃度不純物領域 710 を形成する。

#### 【0053】

次にゲート電極 708 の側壁にサイドウォール 711 を形成する。

#### 【0054】

次に、n 型不純物である磷を添加し、n 型のソース (或いは、ドレイン) 712 を形成する。さらに、p 型不純物であるボロンを添加し、p 型のソース (或いは、ドレイン) 713 を形成する。

#### 【0055】

上記のように、結晶質半導体膜 705 を用いて n チャネル型 TFT 714、p チャネル型 TFT 715 をそれぞれ形成する。

#### 【0056】

次に、TFT 714、715 を覆うように層間絶縁膜 716 を形成する。層間絶縁膜 716 は酸化珪素膜を成膜して形成する。さらに、層間絶縁膜 716 の表面を平坦化する。層間絶縁膜 716 の形成後、添加した不純物の活性化を行う。

#### 【0057】

次に、層間絶縁膜 716 を貫通し、ソース (或いは、ドレイン) 712、713 に至るコンタクトホールを開孔する。

#### 【0058】

次に、TFT 714 および 715 に電氣的信号を伝達するための配線 717 および電極 718 を形成する。配線 717 および電極 718 は、層間絶縁膜 716 の上の同じ層で形成する。なお、本実施例では、チタン (Ti)、1% の珪素を含有するアルミニウム膜 (Al-Si)、チタン (Ti) を積層した後、パターンニングおよびエッチングによりこれらを加工して配線 717 および電極 718 を形成した。



**【 0 0 5 9 】**

次に、開口部を有する保護膜 7 1 9 を形成する。保護膜 7 1 9 は、層間絶縁膜 7 1 6 の上方に酸化珪素膜を 5 0 0 n m の膜厚で成膜した後、パターンニング及びエッチングにより開口部を形成して作製した。なお、保護膜 7 1 9 の開口部において、電極 7 1 8 が露出している。

**【 0 0 6 0 】**

以上のようにして、下地絶縁膜 7 0 5 から保護膜 7 1 9 までが形成されたものを T F T 層 7 2 0 とする。

**【 0 0 6 1 】**

次に、電極 7 1 8 の上に導電膜 7 3 0 及び突起電極（バンプ） 7 3 1 を形成する。導電膜 7 3 0 は、クロム（C r）および銅（C u）を積層して形成される。また突起電極 7 3 1 は、P b S n や金（A u）を材料として、半田により形成される。なお、突起電極 7 3 1 の厚さは 2 0  $\mu$  m である。なお、導電膜 7 3 0 は突起電極 7 3 1 との密着性のよい材料であれば、上記以外のものでもよい。

**【 0 0 6 2 】**

なお、半田による熱に耐え得るよう、層間絶縁膜 7 1 6 および保護膜 7 1 9 は 2 5 0  $^{\circ}$ C 以上の耐熱性をもつ材料で形成されていることが好ましい。なお、無機材料、有機材料のいずれを用いても構わない。

**【 0 0 6 3 】**

次に、突起電極 7 3 1 が形成された T F T 層 7 2 0 を剥離する工程について説明する。

**【 0 0 6 4 】**

次に、接着剤 7 4 0 を保護膜 7 1 9 の上方に塗布する。なお接着剤は約 6 0  $\mu$  m の膜厚で塗布し、突起電極 7 3 1 を被覆するようにする。接着剤 7 4 0 を塗布後、焼成し、さらに紫外光を照射して効果させる。本実施例では、接着剤 7 4 0 として自己平坦性を有する水溶性樹脂を用いている。なお、接着剤 7 4 0 は、エポキシ系、アクリレート系、シリコン系等を組成とする。

**【 0 0 6 5 】**

次に、剥離する領域の周縁の一部にダイヤモンドペンで切り込みを入れ、意図

的に損傷させる。切り込みを入れた部分は、外圧により金属膜 702、酸化金属膜 704b、酸化膜 703 の界面における密着性が低下し、当該部分から剥離が生じやすくなる。なお、ダイヤモンドペンで切り込みを入れる以外に、スクライバー装置を用いて、押し込み量を 1mm とし、切り込みを入れてもよい。若しくは、剥離する領域の周縁に沿ってレーザー光を局所的に照射して意図的に損傷を与えることにより、金属膜 702、酸化金属膜 704b、酸化膜 703 の界面における密着性を低下させてもよい。

#### 【0066】

次に、両面テープ 741 を用いて、接着剤 740 の上に第 2 の基板 742 を貼り付ける。ここで、接着剤 740 が自己平坦性を有するため、接着剤 740 の表面と第 2 の基板 742 の表面がほぼ並行になるように接着できる。さらに、第 1 の基板 700 にも両面テープ 742 を用いて、第 3 の基板 743 を貼り付ける。第 3 の基板 743 は第 1 の基板 700 の破損防止のために貼り付ける。

#### 【0067】

次に、前述の意図的に損傷させ、金属膜 702、酸化金属膜 704b、酸化膜 703 の界面において、第 1 の基板 700 を物理的手段例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等) により引き剥がす。

#### 【0068】

以上のようにして、第 1 の基板 700 上に形成した TFT 層 720 を第 2 の基板 742 に転写する。

#### 【0069】

なお、転写後、TFT 層 720 の下部には酸化金属膜 704b および酸化膜 703 が残る。本実施例では、酸化金属膜 704b のみを除去する。

#### 【0070】

次に、酸化膜 703 の上に熱伝導性の良い膜 744 を形成する。本実施例では、膜 744 として DLC (Diamond like Carbon) を 10  $\mu$ m の厚さで成膜し形成した。なお、DLC 以外にも  $Al_2O_3$  等もちいてもよい。

#### 【0071】

次に、膜 744 の上に保護シート 745 を貼り付ける。保護シート 745 は粘

着剤層を有するものを用いた。

【0072】

次に両面テープ741から第2の基板742を引き剥がす。さらに両面テープ741を引き剥がした後、純水に浸し接着剤740を除去する。これによりTF T層720は保護シート744に貼り付けられた状態となる。

【0073】

次に、保護シート745に貼り付けられたTF T層720を保護シート745ごと切断して所望の形状にし、複数の集積回路フィルム750を作製する。

【0074】

なお、第2の基板742はTF T層を切断した後に剥がしても構わない。また、第2の基板742を剥がすときに保護シートが剥がれないように、粘着性について考慮しなければならない。

【0075】

また本実施例においては、金属膜を利用した剥離方法について説明したが、当該方法に限らず、第1の基板を溶解する方法や、第1の基板裏面へのレーザー光照射を利用した方法など、他の方法を用いても構わない。

【0076】

以上のように、転写技術を用いて作製した集積回路フィルム750を実装する方法について、次に説明する。

【0077】

ポリイミド膜に銅などの導電性材料を多層で配線した第4の基板751に接着剤752を塗布する。なお、第4の基板751には電極753が形成されている。また、接着剤752には絶縁膜で覆われた金属粒子が分散されている。

【0078】

次に、第4の基板751の電極753上に集積回路フィルム750の電極718が重なるようにアライメントし、第4の基板751と集積回路フィルム750とを貼り合わせる。この時、電極718上に形成した突起電極731が接着剤752中の金属粒子を介して電極753と電氣的に接続する。なお、金属粒子を覆う絶縁膜は、接合する際に突起電極731と電極753の加圧力で破壊されるた

め導通が得られる。また、突起電極 731 が形成されていない部分においては、絶縁膜は破壊されないため、絶縁性が保たれる。

#### 【0079】

次に、集積回路フィルム 750 に紫外線を照射し、保護シート 744 を剥がす。なお、保護シート 744 は、集積回路フィルム 750 と第 4 の基板 751 とを貼り合わせる前に剥がしてもよい。

#### 【0080】

以上のようにして、本発明の半導体装置を作製する。

#### 【0081】

(実施例 2)

本実施例では、実施例 1 とは異なる方法で集積回路フィルム 750 と第 4 の基板 751 とを貼り合わせて作製した半導体装置について、図 6 を用いて説明する。

#### 【0082】

ポリイミド膜に銅などの導電性材料を多層で配線した第 5 の基板 770 に樹脂 771 を塗布する。なお、第 4 の基板 751 には電極 753 が形成されている。

#### 【0083】

また、突起電極 731 に導電性ペーストを付着させる。

#### 【0084】

次に、第 4 の基板 751 の電極 753 上に集積回路フィルム 750 の電極 718 が重なるようにアライメントし、電極 753 と突起電極 731 とを貼り合わせる。

#### 【0085】

さらに集積回路フィルム 750 に超音波振動を加え、樹脂 771 を集積回路フィルム 750 と第 4 の基板 751 の間隙全体に拡散させる。さらに加熱処理を施し、樹脂 771 を硬化させる。

#### 【0086】

次に、集積回路フィルム 750 に紫外線を照射し、保護シート 745 を剥がす。なお、保護シート 744 は、集積回路フィルム 750 と第 4 の基板 751 とを

貼り合わせる前に剥がしてもよい。

#### 【0087】

以上のようにして、本発明の半導体装置を作製する。本実施例により作製した半導体装置も、実施例1と同様に、集積回路フィルムの厚さが数 $\mu$ mであるため、従来の半導体チップと比較して飛躍的に薄型化している。

#### 【0088】

(実施例3)

本実施例では、転写技術を用いて作製した集積回路フィルムを用いて作製したマルチフィルムモジュールについて、図7を用いて説明する。

#### 【0089】

実施例1に記載の結晶質半導体膜705迄形成する方法を用いて、結晶質半導体膜を形成した後、当該結晶質半導体膜を用いて、CPU、フラッシュメモリ、SRAM、DRAM、Logicをそれぞれ異なる基板上に形成する。

#### 【0090】

次に、実施例1に記載のTFT714、715形成以後の工程と同様の方法を用いて、CPU、フラッシュメモリ、SRAM、DRAM、Logicをそれぞれ搭載した集積回路フィルム7001、7002、7003、7004、7005を形成する。なお、本実施例において、集積回路フィルム7001～7005には熱伝導性の良い材料からなる膜が形成されている。

#### 【0091】

次に、プリント基板の両面に多層配線層を形成した第5の基板7010に、実施例1に記載の実装方法、若しくは実施例2に記載の実装方法と同様の方法を用いて、各々の集積回路フィルム7001～7005を貼り付ける。

#### 【0092】

図7(A)における断面図(A-A')を図7(B)に示す。図7(B)において、第5の基板7010上には、集積回路フィルム7001～7005が実装されている。

#### 【0093】

実施例1に記載のように、本発明における集積回路フィルムは、シリコンウェ

一ハのように劈開面に制限されることないため、様々な形状に切断できる。従って、第5の基板上での、集積回路フィルム7001～7005の配置および第5の基板7010における配線の自由度が上がる。

#### 【0094】

以上のようにして、フリップチップ型のマルチフィルムモジュールを作製できる。なお、本発明のマルチフィルムモジュールは転写技術を用いて作製した集積回路フィルムにより形成しているため、飛躍的に薄型化している。

#### 【0095】

(実施例4)

本実施例では、本発明の半導体装置を搭載した電子機器の例について図10を用いて説明する。本発明の半導体装置を搭載することによりより薄型化した電気機器を作製できる。なお本発明の半導体装置は図8、9のように実装され、各電子機器の本体内部に搭載されている。

#### 【0096】

図8において、マザーボード800には、本発明を適用して作製したマルチフィルムモジュール820が実装されている。マルチフィルムモジュール820には複数の集積回路フィルム821～824が実装されている。各々の集積回路フィルムは、Logic821、Flash Memory822、SRAM823、DRAM824を実装しており、それぞれ異なる基板上で形成された後、転写技術を用いて作製されたものである。また、CPU810、Logic811も、本発明を適用して薄型化したものである。本発明の半導体装置Logic811のようにL字形など様々な形状をとることができる。なお、実施例1～3には、フェイスダウン型の半導体装置の例を示したが、ワイヤボンディング法により実装しても構わない。この場合においても、様々な形状の集積回路フィルムを実装できる。

#### 【0097】

また図9(A)において、基板903にはドライバー901およびコントローラ902が実装されている。なお、図9(B)は図9(A)の断面図(B-B')である。基板903にはFPC904が装着されており、FPC904を介して、例えば表示装置などに接続される。ドライバー901およびコントローラ9

02は本発明の半導体装置である。なお、本実施例において基板903は可撓性を有する基板である。

#### 【0098】

図10(A)は、本発明を適用して作製したノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。

#### 【0099】

図10(B)は、本発明を適用して作製した携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。

#### 【0100】

図10(C)はビデオカメラであり、本体3031、表示部3032、音声入力3033、操作スイッチ3034、バッテリー3035、受像部3036などによって構成されている。

#### 【0101】

図10(D)は、本発明を適用して作製した携帯電話である。本体3041には表示部3044と、音声出力部3043、操作スイッチ3045、アンテナ3046等が設けられている。

#### 【0102】

図10(E)はデジタルカメラであり、本体3051、表示部(A)3057、接眼部3053、操作スイッチ3054、表示部(B)3055、バッテリー3056などによって構成されている。

#### 【0103】

##### 【発明の効果】

本発明の半導体装置に実装している集積回路フィルムの厚さは数 $\mu\text{m}$ であり、従来のものと比較して飛躍的に薄型化している。従って、当該集積回路フィルムを実装した本発明の半導体装置も飛躍的に薄型化している。また、集積回路フィルムを様々な形状に切り出すことができるため、例えば一つが多層配線基板に複

数個の集積回路フィルムを実装する場合において、レイアウトが多様化し実装密度を上げることができる。本発明の半導体装置に実装された集積回路フィルムは、半導体層が各々島状に分離して形成されている。このため、T F Tにかかる応力が分散され、曲げなどのストレスに対する強度がシリコンウェーハで作製した集積回路フィルムよりも強く、実装時や実装後の半導体装置においても曲げなどの外的ストレスに強い。また、半導体装置を作製する工程においても、裏面研削による薄型化を行う必要がないため、裏面研削工程において発生する不良を回避でき、歩留まりの向上につながる。また、裏面研削工程を要しないため、T F T形成工程と突起電極（バンプ）形成工程とを連続して行うことができる。

#### 【 0 1 0 4 】

##### 【図面の簡単な説明】

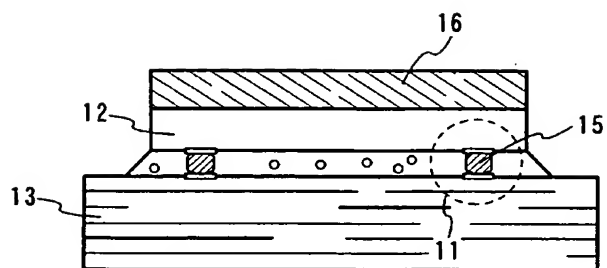
- 【図 1】 本発明の半導体装置を説明する図。
- 【図 2】 本発明の半導体装置の作製方法を説明する図。
- 【図 3】 本発明の半導体装置の作製方法を説明する図。
- 【図 4】 本発明の半導体装置の作製方法を説明する図。
- 【図 5】 本発明の半導体装置の作製方法を説明する図。
- 【図 6】 本発明の半導体装置の作製方法を説明する図。
- 【図 7】 本発明の半導体装置の作製方法を説明する図。
- 【図 8】 本発明の半導体装置を適用したモジュールの模式図。
- 【図 9】 本発明の半導体装置を適用したモジュールの模式図。
- 【図 1 0】 本発明の半導体装置を適用した電子機器。



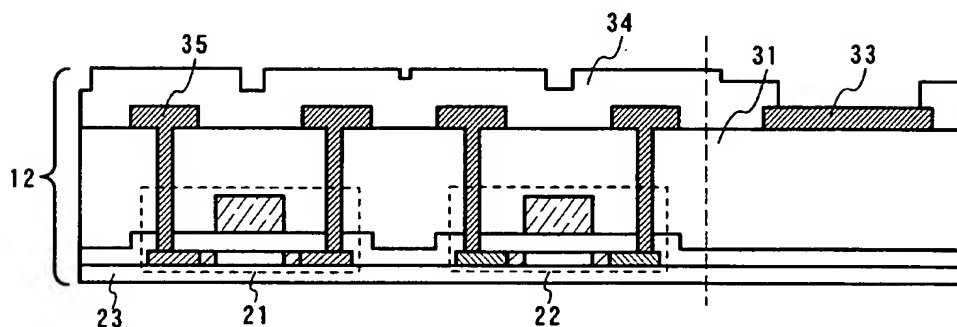
【書類名】 図面

【図 1】

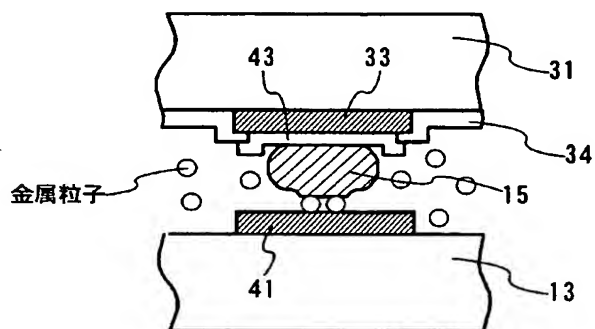
(A)



(B)

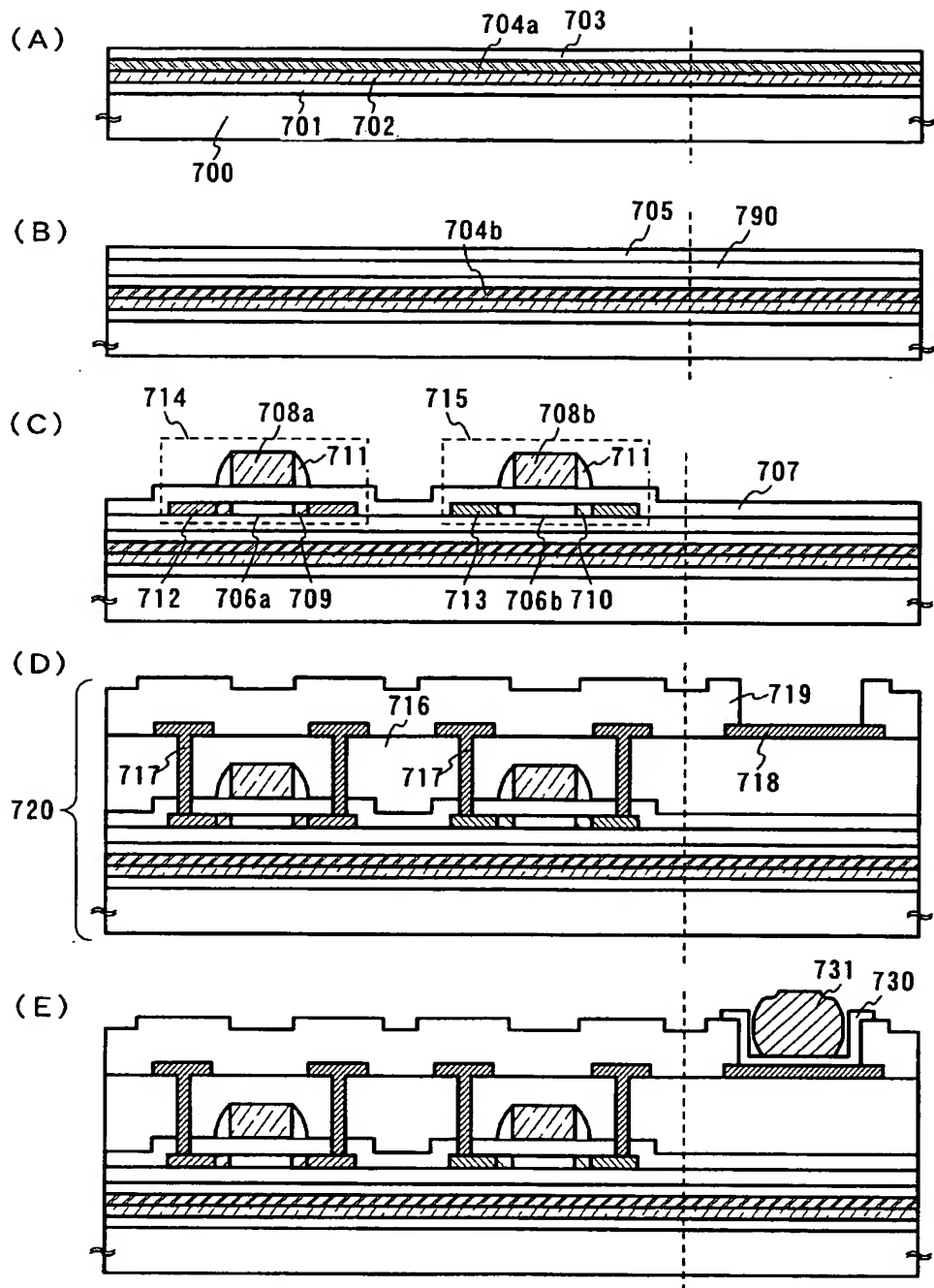


(C)



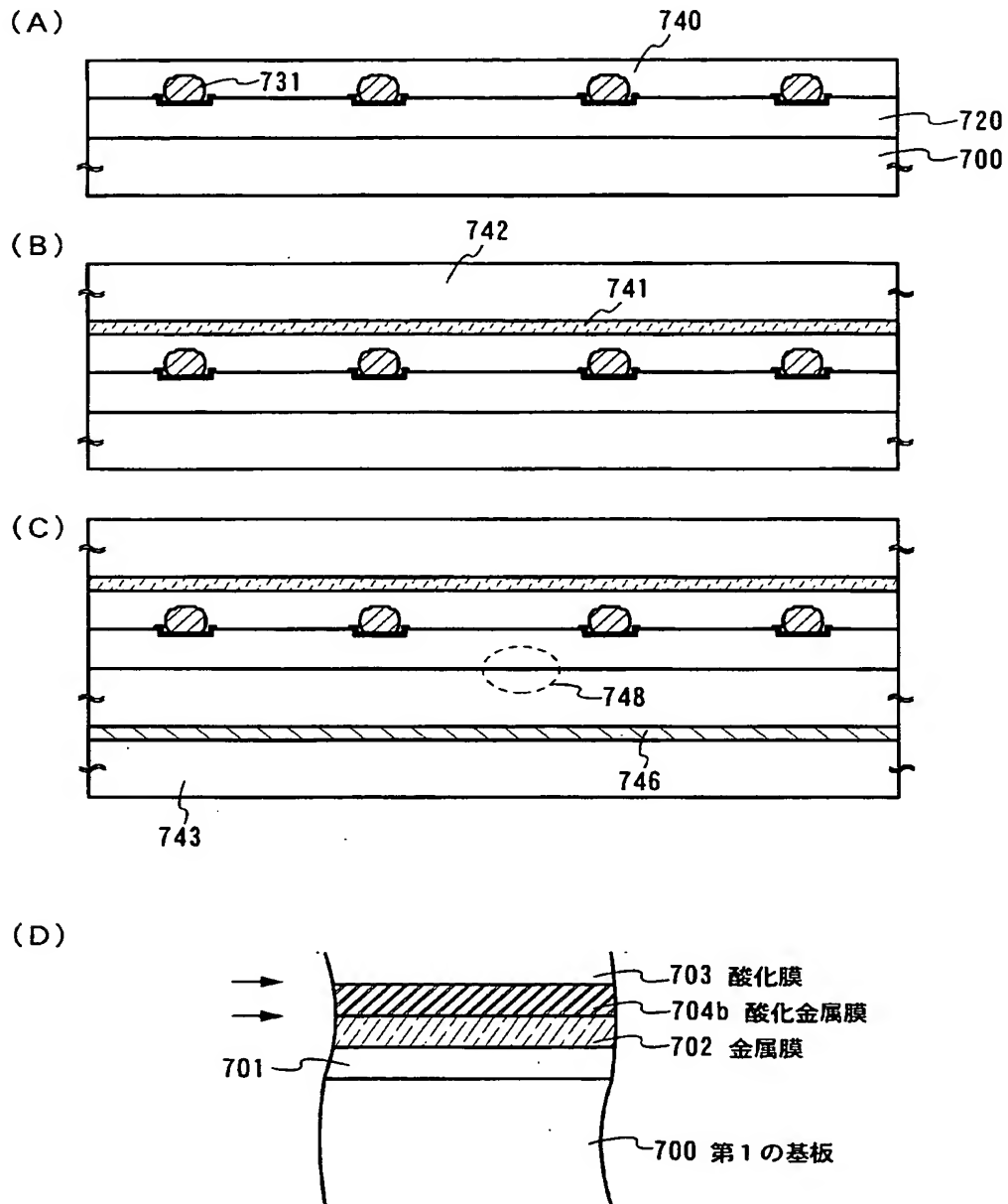
12 集積回路フィルム 13 基板 15 突起電極 (パンプ) 16 膜  
21, 22 TFT 23 絶縁膜 31 絶縁膜 33 電極 34 保護膜  
35 配線 41 電極 42 導電膜

【図 2】



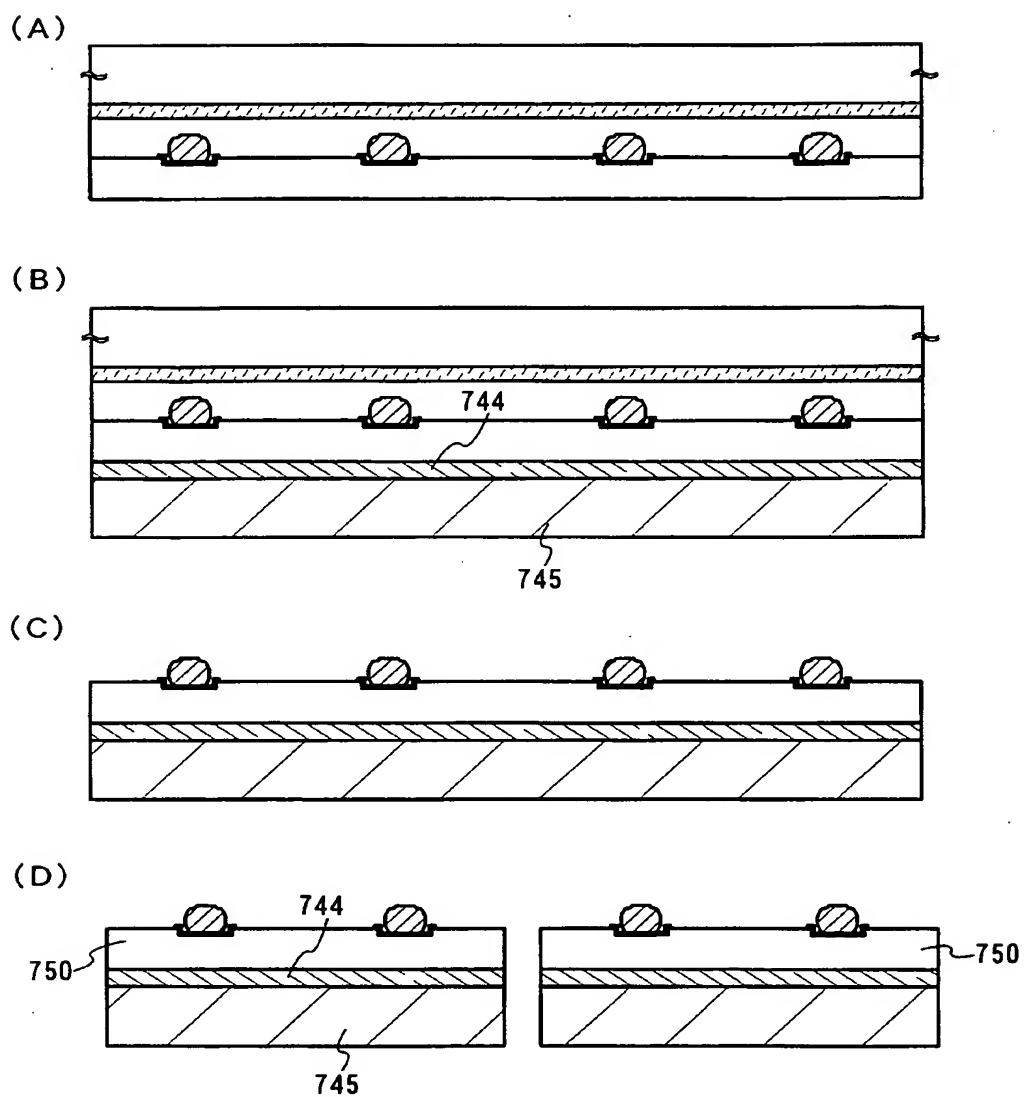
700 第1の基板 701 絶縁膜 702 金属膜 703 酸化膜 704 酸化金属膜  
 790 下地絶縁膜 705 結晶質半導体膜 706 半導体層 707 ゲート絶縁膜  
 708 ゲート電極 709, 710 低濃度不純物領域 711 サイドウォール  
 712, 713 ソース (或いはドレイン) 714, 715 TFT 716 層間絶縁膜 717 配線  
 718 電極 719 保護膜 730 導電層 731 突起電極 (パンプ) 720 TFT層

【図 3】



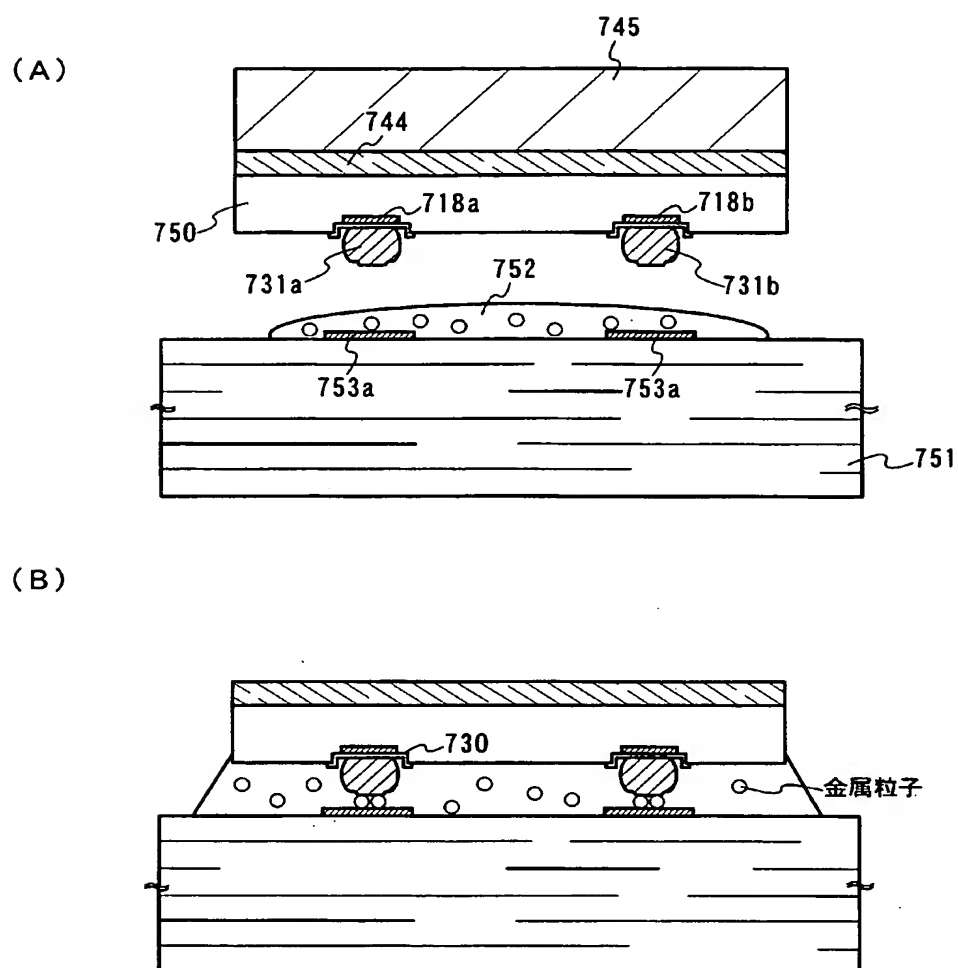
740 接着剤 741 両面テープ 742 第2の基板 743 第3の基板 746 両面テープ

【図 4】



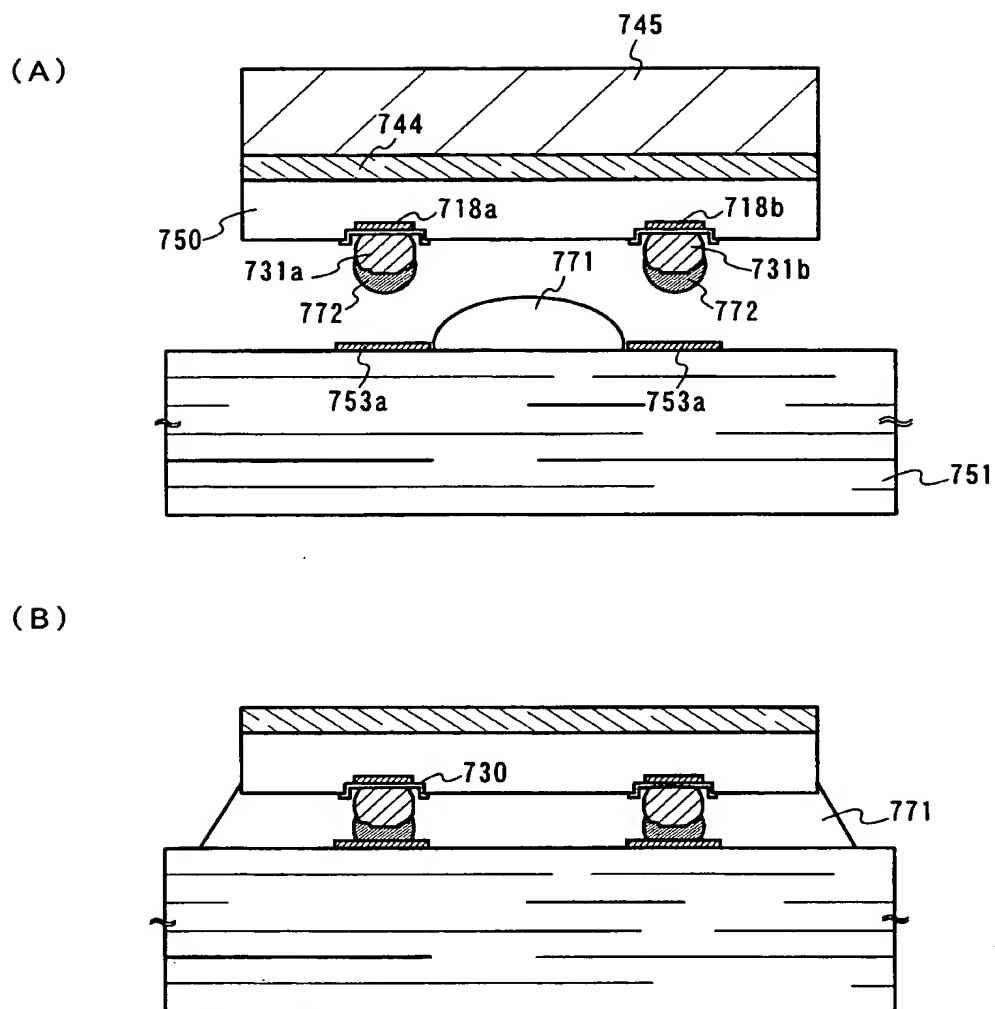
744 膜 745 保護シート 750 集積回路フィルム

【図 5】



750 集積回路フィルム 751 第4の基板 752 接着剤 753a, 753b 電極  
718a, 718b 電極 731a, 731b 突起電極(バンプ)

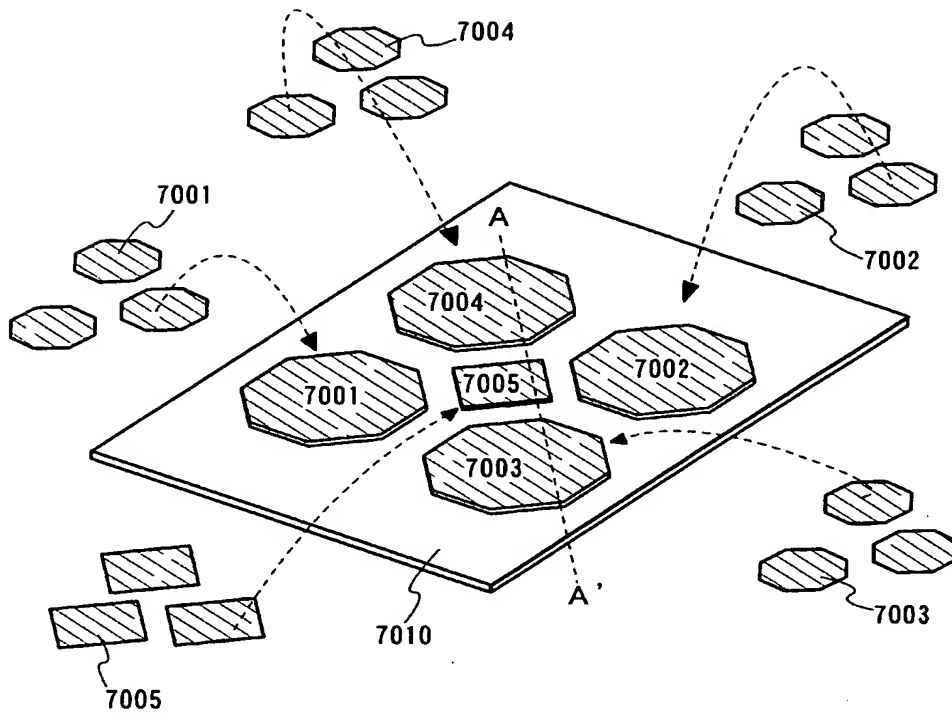
【図 6】



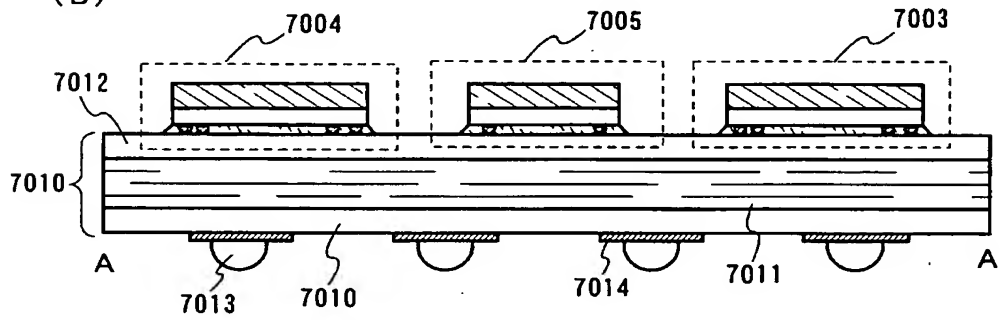
750 集積回路フィルム 751 第4の基板 753a, 753b 電極 771 樹脂  
772 導電性ペースト 718a, 718b 電極 731a, 731b 突起電極(パンプ)

【図 7】

(A)

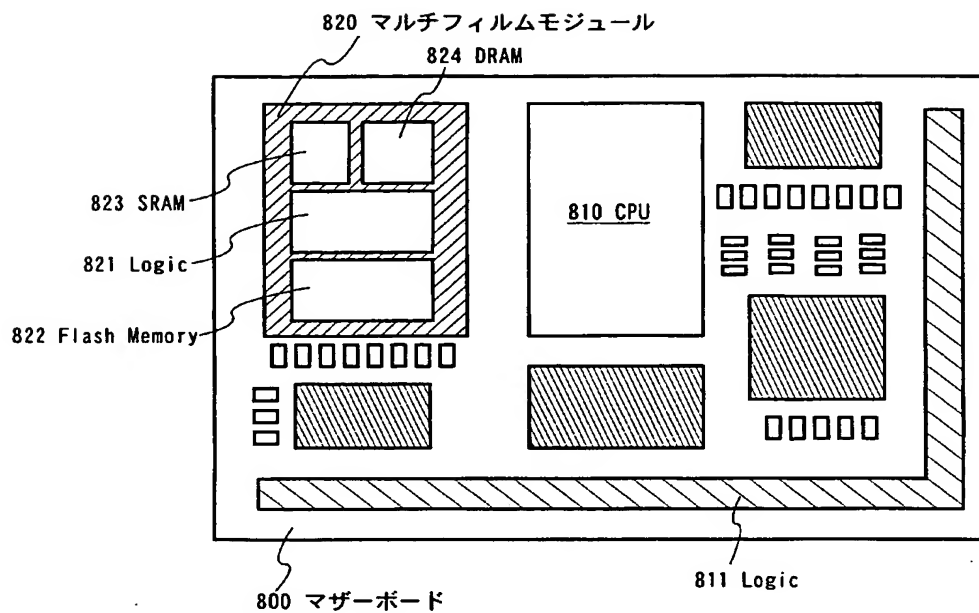


(B)

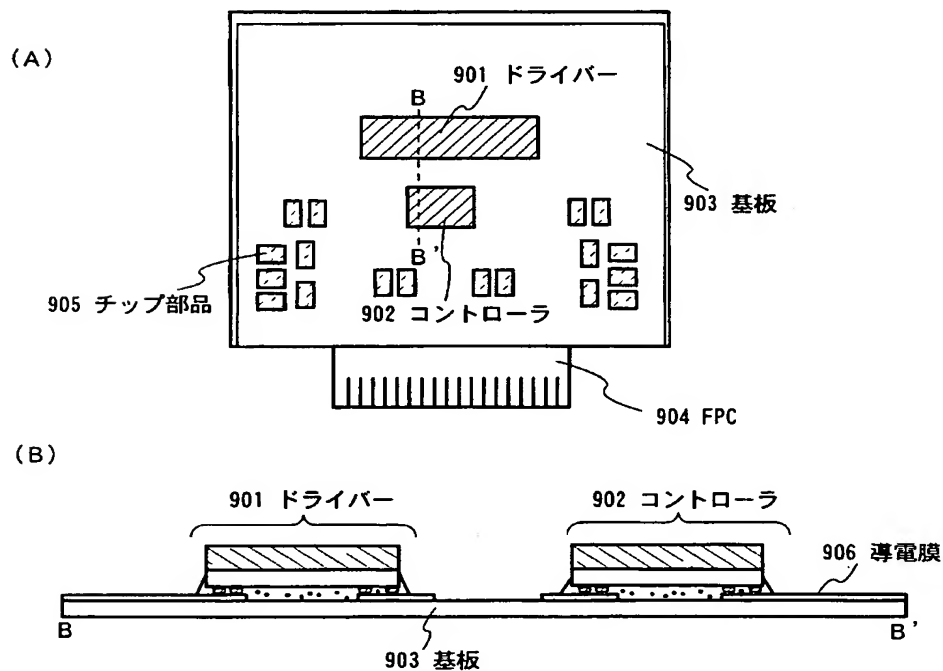


7001, 7002, 7003, 7004, 7005 集積回路フィルム 7010 第5の基板 7011 基板  
7012 多層配線層 7013 ポール 7014 導電体

【図 8】

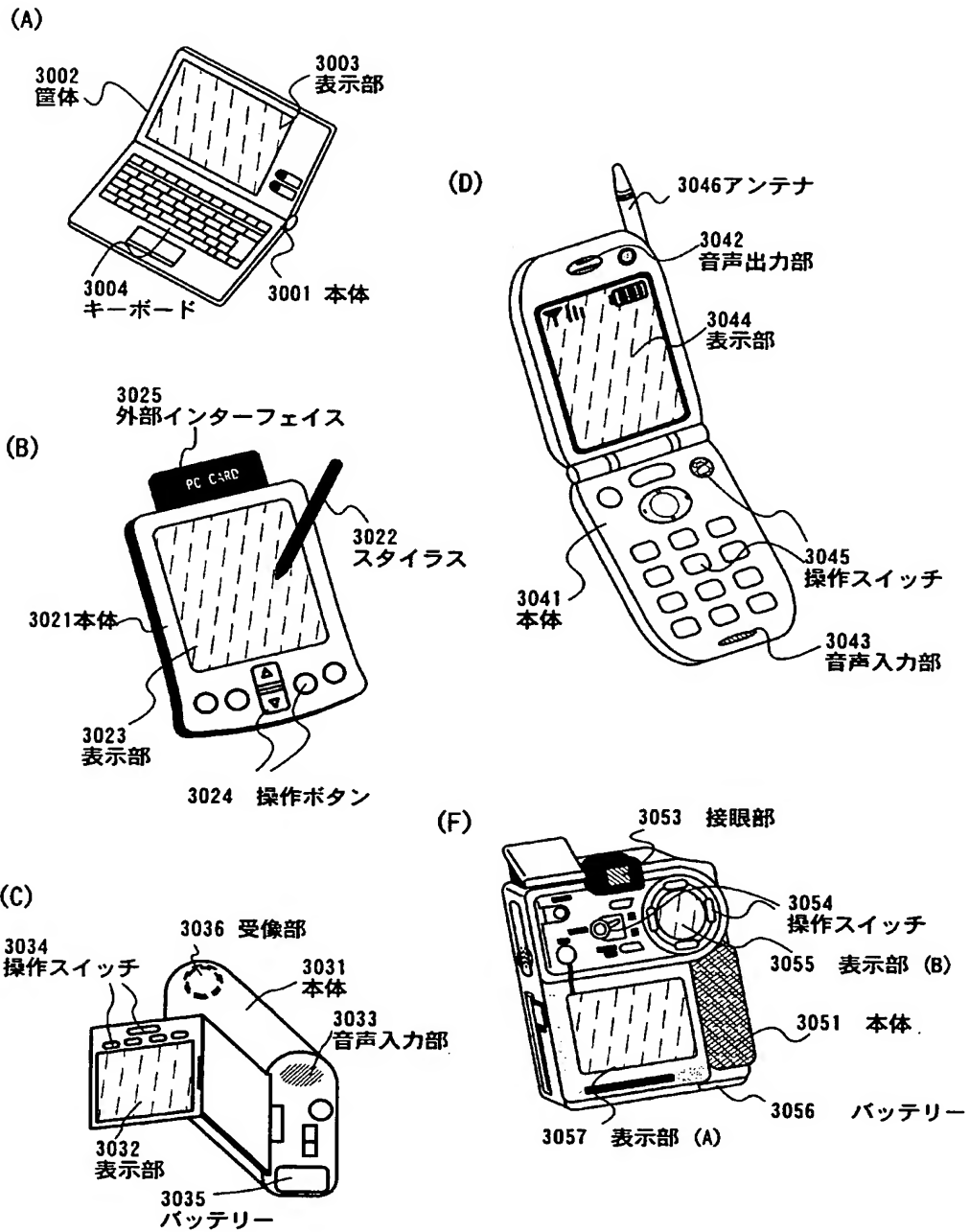


【図 9】





【図 10】



【書類名】 要約書

【要約】

【課題】 シリコンウェーハの裏面加工に頼らずに薄型化が実現できる、新たな半導体実装技術を提供すること。

【解決手段】 集積回路フィルムを実装することにより、当該集積回路フィルムを実装した半導体装置の薄型化を可能にする。ここで、集積回路フィルムとは、ガラスや石英などの基板上に形成された半導体膜を用いて作製された集積回路をもとにし作製されたフィルム状の集積回路をいう。本発明においては、転写技術を用いて、集積回路フィルムを作製している。

【選択図】 図 1

特願 2 0 0 2 - 3 7 7 8 1 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所